



(19)

(11) Publication number: **2002124848 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **2000316470**(51) Intl. Cl.: **H03H 9/25 H01L 21/60 H01L 41/09 H01L 41/22 H03H 3/08 H03H 9/145**(22) Application date: **17.10.00**

(30) Priority:

(43) Date of application  
publication: **26.04.02**(84) Designated contracting  
states:(71) Applicant: **TDK CORP**(72) Inventor: **UCHIKOBA FUMIO**  
**GOI TOMOYUKI**

(74) Representative:

**(54) SURFACE ACOUSTIC  
WAVE ELEMENT,  
ELECTRONIC  
COMPONENT AND ITS  
MOUNTING METHOD**

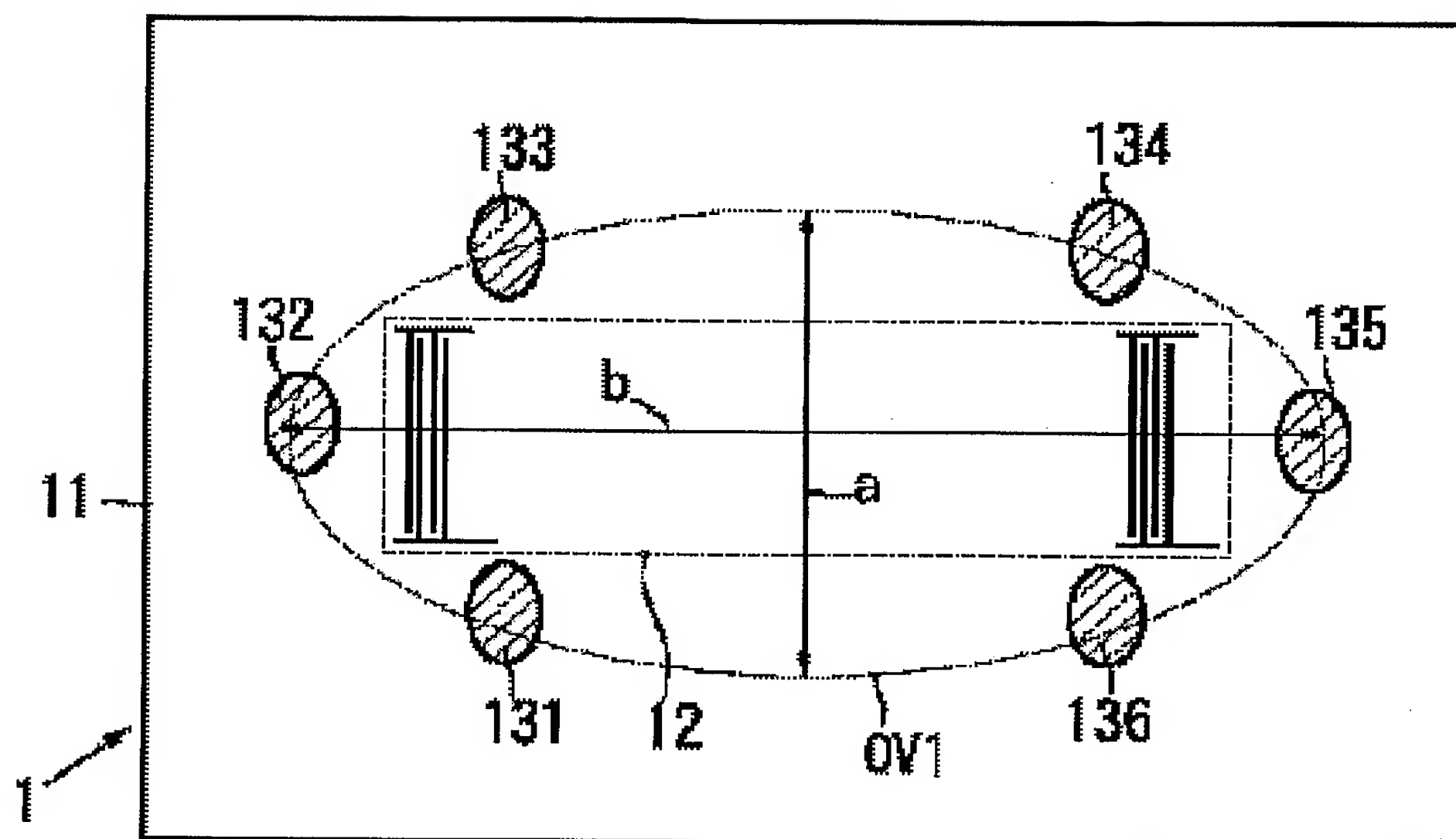
(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an SAW element in which thermal shock resistance characteristics and reliability are enhanced by minimizing the effect of anisotropy in the coefficient of thermal expansion of a single crystal chip, and an electronic component incorporating the SAW element.

**SOLUTION:** The surface acoustic wave element comprises an electrode 12 and terminal conductors 131-136 arranged on one side of a single crystal chip 11. The terminal conductors 131-136 are arranged on an imaginary oval line OV1 on one side of the single crystal chip 11. The oval line OV1 has a short diameter a in the direction of the single crystal

chip 11 having a larger coefficient of thermal expansion.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-124848

(P2002-124848A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 3 H 9/25		H 0 3 H 9/25	A 5 F 0 4 4
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 J 0 9 7
		H 0 3 H 3/08	
41/09		9/145	D
41/22		H 0 1 L 21/92	6 0 2 N
審査請求 未請求 請求項の数14 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2000-316470(P2000-316470)

(22) 出願日 平成12年10月17日 (2000.10.17)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 内木場 文男

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 五井 智之

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100081606

弁理士 阿部 美次郎

Fターム(参考) 5F044 KK04 QQ03 RR18

5J097 AA25 DD25 EE09 HA04 JJ09

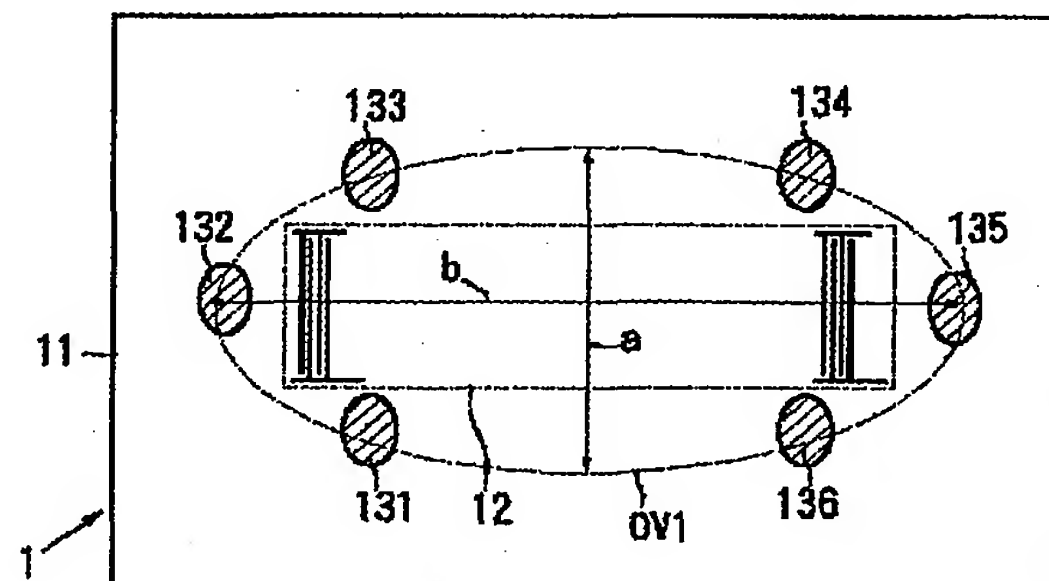
KK10

(54) 【発明の名称】 表面弾性波素子、電子部品及びその搭載方法

(57) 【要約】

【課題】単結晶チップの熱膨張率の異方性による影響を極力小さくして、耐熱衝撃特性及び信頼性を向上させたSAW素子及びこのSAW素子を組み込んだ電子部品を提供する。

【解決手段】電極12は、単結晶チップ11の一面上に、電極12及び端子導体131~136が備えられている。端子導体131~136のそれぞれは、単結晶チップ11の一面上に想定された同一の楕円線OV1上に載るように配置されている。楕円線OV1は、単結晶チップ11の熱膨張係数の大きい方向に対して短径aを持つ。





## 【特許請求の範囲】

【請求項 1】 単結晶チップと、電極と、複数の端子導体とを含む表面弾性波素子であって、

前記電極は、前記単結晶チップの一面上に備えられており、

前記端子導体のそれぞれは、前記単結晶チップの前記一面上に想定された同一の楕円線上に載るように、前記単結晶チップの前記一面上に備えられ、前記電極に電気的に導通し、

前記楕円線は、前記単結晶チップの熱膨張係数の大きい方向に対して短径を持つ表面弾性波素子。

【請求項 2】 請求項 1 に記載された表面弾性波素子であって、前記楕円線は、短径  $a$  と長径  $b$  の比 ( $a : b$ ) が約 1 : 2 である表面弾性波素子。

【請求項 3】 単結晶チップと、電極と、複数の端子導体とを含む表面弾性波素子であって、

前記電極は、前記単結晶チップの一面上に備えられており、

前記単結晶チップの前記一面上に、第 1 の楕円線及び第 2 の楕円線を想定したとき、前記第 1 の楕円線は中心が第 2 の楕円線の中心とほぼ一致し、長径及び短径が前記第 2 の楕円線のそれよりも小さくなっており、

前記第 1 及び前記第 2 の楕円線は、前記単結晶チップの熱膨張係数の大きい方向に対して短径を持っており、前記端子導体のそれぞれは、前記電極に電気的に導通し、中心が、前記第 1 の楕円線と前記第 2 の楕円線との間の領域内にある表面弾性波素子。

【請求項 4】 請求項 3 に記載された表面弾性波素子であって、

前記第 1 の楕円線は、長径の長さが前記単結晶チップの前記長辺長の約 60% であり、

前記第 2 の楕円線は、長径の長さが前記単結晶チップの前記長辺長の約 90% である表面弾性波素子。

【請求項 5】 請求項 1 乃至 4 の何れかに記載された表面弾性波素子であって、

前記単結晶チップは、略四角形状であって、相対する 2 辺の長辺と、相対する 2 辺の短辺とを有しており、

前記楕円線は、長径の方向が、前記長辺の延びる方向に一致する表面弾性波素子。

【請求項 6】 請求項 1 乃至 5 の何れかに記載された表面弾性波素子であって、前記端子導体は、表面が Au 膜である表面弾性波素子。

【請求項 7】 基板と、表面弾性波素子とを含む電子部品であって、

前記基板は、一面に複数の接続導体を有しており、

前記表面弾性波素子は、請求項 1 乃至 6 の何れかに記載されたものでなり、前記電極及び端子導体を形成した前記一面が、前記基板の前記一面に対向するように配置され、前記端子導体が前記接続導体に接続されている電子部品。

【請求項 8】 請求項 7 に記載された電子部品であって、前記基板は、セラミックスを主成分とする電子部品。

【請求項 9】 請求項 7 または 8 の何れかに記載された電子部品であって、前記接続導体は、前記表面弾性波素子に備えられた前記端子導体の配置に対応する位置に配置されている電子部品。

【請求項 10】 請求項 9 に記載された電子部品であって、前記接続導体は、表面が Au 膜でなる電子部品。

10 【請求項 11】 基板と、表面弾性波素子とを含む電子部品を製造する方法であって、

前記基板は、一面に複数の接続導体を有しており、

前記表面弾性波素子は、請求項 1 乃至 6 の何れかに記載されたものでなり、

前記表面弾性波素子を、前記電極及び端子導体を形成した前記一面が、前記基板の前記一面に対向するように配置し、

前記表面弾性波素子上の前記端子導体を、前記基板上の前記接続導体上に、荷重をかけて接触させ、

20 前記端子導体及び前記接続導体を、超音波によって接続する工程を含む製造方法。

【請求項 12】 請求項 11 に記載された製造方法であって、前記基板は、セラミックスを主成分とする製造方法。

【請求項 13】 請求項 11 または 12 の何れかに記載された製造方法であって、前記接続導体は、前記表面弾性波素子に備えられた前記端子導体の配置に対応する位置に配置されている製造方法。

30 【請求項 14】 請求項 11 乃至 13 の何れかに記載された製造方法であって、前記接続導体は、表面が Au 膜でなる製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、表面弾性波素子（以下 SAW 素子と称する）、SAW 素子と基板とを組み合わせた電子部品、及び、その製造方法に関する。

## 【0002】

【従来の技術】 電子機器において、その小型化は市場要求が常にあり、使用される部品についても小型化、軽量化が要求される。携帯電話に代表される、高周波機器においてはこの傾向が著しく、使用する部品においても、特にこの傾向が顕著に見られる。

【0003】 SAW 素子は、単結晶チップの表面に IDT 電極及び端子導体を形成した構造となっており、通常、基板の上に搭載して用いられる。SAW 素子をセラミック基板に搭載する場合、従来は、表面に IDT 電極を形成した SAW 素子の背面を、基板の一面に接着固定し、Au ツィヤーボンド法で表面の IDT 電極を、基板に設けられた接続導体に接続する方法が採用されてき

50 た。

【0004】しかしながらこの方法によるとチップの面積以外に、ワイヤーボンドを行うためのスペースが必要となり、十分に小型化を行えない欠点がある。

【0005】そこで、たとえば特開平10-79638号公報に示すように、フリップチップ搭載と呼ばれる方法が一部では用いられている。フリップチップ搭載方法では、IDT電極及び端子導体を形成したSAW素子の表面を、基板の一面と向きあわせ、基板の一面に形成された接続導体に、SAW素子の端子導体を接触させて接合するので、ワイヤボンディング方法に比べて、より小型化に適している。

【0006】フリップチップ搭載において、SAW素子を搭載する基板としては、セラミック基板が用いられる。セラミック基板は、耐熱性及び耐薬品性に優れている。しかも、セラミック基板に対して、ろう付け等の手段によって、金属ケースを接合し、高度の気密性が確保できる。

【0007】また、セラミック基板は、それ自体が有する電気絶縁性を利用して、その表面または内部に、接続用導体または電気回路要素となる導体層を形成することができる。しかも、一般的な樹脂基板にくらべて、高周波損失が小さいこと、熱伝導がよいこと、寸法精度がよいこと、信頼性に優れることなどの特徴をも併せ持つ。

【0008】更に、多層化することもできる。セラミック多層基板においては、内導体をコイル形状にしたり、あるいは平行に対向させることによって、それぞれ内部にインダクタンス、キャパシタンス等の回路要素を形成することが可能である。しかも、低損失で寸法精度がよいことから、Qが高く、また、公差の小さい回路要素素子を内部に形成することができる。

【0009】こうした特徴は、特に、携帯電話などの高周波回路において、特性に優れ、小型化された集合素子、つまり、モジュールを得る場合に、最大に活かされる。

【0010】ところが、SAW素子は単結晶であり、結晶軸に対する切り出し方向により、同一面内で見た熱膨張率が、縦方向及び横方向で大きく異なる。たとえば、単結晶チップとして、最も一般的なりチウムタンタレートを用いた場合、切り出し方向36度で、縦方向の熱膨張率が8ppm/°C、横方向の熱膨張率が16ppm/°Cであり、縦横方向で、おおよそ2倍の熱膨張率の差が生じる。

【0011】一方、セラミック基板の熱膨張率は略6ppm/°Cであり、SAW素子を構成する単結晶チップの熱膨張率との差が著しい。

【0012】このため、特に、熱膨張率の大きい方向（横方向）において、熱膨張率の不整合が大きくなり、熱衝撃が加わった場合、この方向に大きな熱応力が発生することになる。

【0013】例えば、SAW素子を構成する単結晶チッ

プを、各辺が1mmの正方形のチップとした場合を仮定すると、温度が100°C上昇したとき、単結晶チップは縦方向に0.8μm、横方向に1.6μmの膨張を生じることになる。セラミック基板は、等方的に0.6μm伸びる。この熱膨張の差のために、単結晶チップとセラミック基板との間に熱応力が発生する。

【0014】しかも、フリップチップ搭載においては、IDT電極の形成されたSAW素子の表面と、セラミック基板の表面との間に間隔を保ち、端子導体のみを、セラミック基板上に形成された接続導体と接続する構造を採用しなければならない。このことは、SAW素子が、端子導体と接続導体との接続によって、セラミック基板に点的に接着されていることを意味し、上述した熱膨張の差によって発生する熱応力に対して弱い構造となっている。

【0015】更に加えて、SAW素子の表面またはセラミック基板の表面で見た熱応力は、SAW素子の端子導体の配置、及び、セラミック基板上の接続導体の配置等に応じた極めて複雑な分布になり、熱応力が特定の接合部で極度に大きくなることもある。

【0016】このため、フリップチップ搭載において、SAW素子を構成する単結晶チップの端子導体と、セラミック基板に設けられた接続導体との接合部が熱応力によって破壊され、機能を発現できなくなることがある。

【0017】この問題は、基板を構成する材料として、SAW素子を構成する単結晶チップと熱膨張率の近い材料を選ぶことで、ある程度緩和される。たとえば、基板の材料として、熱膨張率が中間的な値を持つBTレジン（12ppm/°C）を用いることである。この場合は熱膨張率の差がかなり緩和されるが、それでも方向によるその差は残っており、完全な対策とはならない。しかも、この場合は、セラミック基板による利点を得ることができなくなる。

【0018】

【発明が解決しようとする課題】そこで、本発明の課題は、単結晶チップの熱膨張率の異方性による影響を極力小さくして、耐熱衝撃特性及び信頼性を向上させたSAW素子及びこのSAW素子を組み込んだ電子部品を提供することである。

【0019】本発明のもう1つの課題は、上述した電子部品を得るのに好適な製造方法を提供することである。

【0020】

【課題を解決するための手段】上述した課題を解決するため、本発明は、2つの態様に係るSAW素子を開示する。第1の態様に係るSAW素子は、単結晶チップと、電極と、複数の端子導体とを含む。前記電極は、前記単結晶チップの一面上に備えられている。前記端子導体のそれぞれは、前記電極に電気的に導通し、前記単結晶チップの前記一面上に想定された同一の楕円線上に載るよう、前記単結晶チップの前記一面上に備えられてい



る。前記楕円線は、前記単結晶チップの熱膨張係数の大きい方向に対して短径を持つ。

【0021】本発明に係るSAW素子は、基板に搭載して用いられる。基板は、好ましくは、セラミック基板である。

【0022】本発明に係るSAW素子において、電極は単結晶チップの一面上に備えられており、この電極に電気的に導通する端子導体のそれぞれも、電極の備えられた単結晶チップの一面上に備えられている。従って、本発明に係るSAW素子は、電極及び端子導体を形成した一面側を、基板の一面と対向させ、端子導体を、基板の一面に設けられた接続導体に接合するフリップチップ搭載が可能である。

【0023】端子導体のそれぞれは、単結晶チップの一面上に想定された同一の楕円線上に載るように、単結晶チップの一面上に備えられており、この楕円線は、単結晶チップの熱膨張係数の大きい方向に対して短径を持つ。この端子導体の配置によれば、SAW素子をセラミック基板上にフリップチップ搭載した場合、端子導体と接続導体との接合部で見た熱膨張量は、楕円線の楕円中心からほぼ均一になる。このため、SAW素子を構成する単結晶チップと、セラミック基板との間の熱膨張率の違いに起因して発生する熱応力が、単結晶チップの熱膨張率の異方性にも関わらず、端子導体と接続導体との接合部のそれぞれに対して、等方的にかかることになる。このため、単結晶チップの一面上に設けられた端子導体に加わる熱応力を均一化し、耐熱衝撃性を向上させることができる。

【0024】第2の態様に係る表面弾性波素子では、単結晶チップと、電極と、複数の端子導体とを含む。前記電極は、前記単結晶チップの一面上に備えられている。

【0025】前記単結晶チップの前記一面上に、第1の楕円線及び第2の楕円線を想定したとき、前記第1の楕円線は中心が第2の楕円線の中心とほぼ一致し、長径及び短径が前記第2の楕円線のそれよりも小さくなっている。前記第1及び前記第2の楕円線は、前記単結晶チップの熱膨張係数の大きい方向に対して短径を持つ。

【0026】前記端子導体のそれぞれは、前記電極に電気的に導通し、中心が、前記第1の楕円線と前記第2の楕円線との間の領域内にある。

【0027】この第2の態様に係る表面弾性波素子も、第1の態様に係る表面弾性波と同等の作用効果を奏する。

【0028】本発明に係るSAW素子は基板上に搭載して、電子部品化される。セラミック基板に対するSAW素子の接合に当たっては、SAW素子を、電極及び端子導体を形成した一面が、基板の一面に対向するように配置する。セラミック基板には、予め、接続導体は、SAW素子に備えられた端子導体の配置に対応する位置に、接続導体を形成しておく。

【0029】次に、SAW素子上の端子導体を、セラミック基板上の接続導体上に、荷重をかけて接触させ端子導体及び接続導体を、超音波によって接続する。

【0030】本発明の他の目的、構成及び利点については、実施例である添付図面を参照し、更に詳しく説明する。添付図面は、単なる例示に過ぎない。

【0031】

【発明の実施の形態】図1は本発明に係る電子部品の正面図、図2は図1に示した電子部品に含まれるSAW素子を、電極形成面側（図1において下面側）から見た平面図である。図示された電子部品は、SAW素子1と、基板2とを含む。基板2には、ろう付け等の手段によって、Au金属ケース3が接合されており、これによって高度の気密性が確保されている。

【0032】SAW素子1は、単結晶チップ11と、電極12と、複数の端子導体131～136とを含む。単結晶チップ11の具体例としては、 $\text{LiNbO}_3$ や、 $\text{LiTaO}_3$ 等を挙げることができる。この単結晶チップ11は、所定の結晶角度を持つように切り出される。

【0033】電極12は、単結晶チップ11の一面上に備えられている。電極12は、SAW素子1として有効な構造であれば、全て利用することができる。電極12は、一般には、IDT電極として形成される。IDT電極は、単数組また複数組の直列接続もしくは並列接続の組み合わせとして構成される。

【0034】端子導体131～136のそれぞれは、スタッドバンプとも称されるもので、電極12に電気的に導通し、単結晶チップ11のIDT電極上に想定された同一の楕円線OV1上に載るように、単結晶チップ11の上に備えられている。楕円線OV1は、単結晶チップ11の熱膨張係数の大きい方向に対して短径aを持つ。端子導体131～136の個数は、電極12の組数に応じて選定される。端子導体131～136は、表面にAu膜が現れるような膜構造を有することが好ましい。具体的には、単結晶チップ11の一面上に、Ni膜を形成し、その上にAu膜を形成する。端子導体131～136の平面形状は任意であり、図示の形状に限定されるものではない。

【0035】図1の実施例において、SAW素子1は、基板2に搭載されている。基板2は、好ましくは、セラミック基板である。基板2として、セラミック基板を用いることの利点は、既に述べた通りである。セラミック基板2には、SAW素子1に備えられた端子導体131～136に対応する位置に、端子導体131～136と同数の接続導体21を、予め、形成しておく。端子導体131～136の表面がAu膜によって構成されている場合、セラミック基板2上の接続導体21も、表面をAu膜とすることが好ましい。これにより、SAW素子1とセラミック基板2との間に、Au-Au接合による信頼性の高い接合構造を形成することができる。より具体

的には、セラミック基板2の表面にAg等の焼結導体を形成し、その上にNi膜を形成し、その上にAu膜を形成する。

【0036】上述したSAW素子1において、電極12は、単結晶チップ11の一面上に備えられており、この電極12に電気的に導通する端子導体131~136のそれぞれも、電極12の備えられた単結晶チップ11の一面上に備えられている。従って、このSAW素子1は、電極12及び端子導体131~136を形成した一面側を、基板2の一面と対向させ、端子導体131~136を、基板2の一面に設けられた接続導体21に接合するフリップチップ搭載を行うことができる。

【0037】端子導体131~136のそれぞれは、単結晶チップ11の一面上に想定された同一の楕円線OV1上に載るように、単結晶チップ11の一面上に備えられている。この楕円線OV1は、単結晶チップ11の熱膨張係数の大きい方向に対して短径aを持つ。単結晶チップ11の熱膨張係数は、結晶軸に対する切り出し方向によって定まる。この端子導体131~136の配置によれば、SAW素子1をセラミック基板2上にフリップチップ搭載した場合、端子導体131~136と接続導体21との接合部で見た熱膨張量は、楕円線OV1の楕円中心からほぼ均一になる。このため、SAW素子1を構成する単結晶チップ11と、セラミック基板2との間の熱膨張率の違いに起因して発生する熱応力が、単結晶チップ11の熱膨張の異方性にも関わらず、端子導体131~136と接続導体21との接合部のそれぞれに対して、等方的に加わることになる。従って、単結晶チップ11の一面上に設けられた端子導体131~136に加わる熱応力を均一化し、耐熱衝撃性を向上させることができる。

【0038】SAW素子1がリチウムタンタレートを主成分とする場合、SAW素子1の端子導体131~136を配置する楕円線OV1は、短径aと長径bの比(a:b)が約1:2であることが好ましい。

【0039】実施例において、単結晶チップ11は、略四角形状であって、相対する2辺の長辺と、相対する2辺の短辺とを有している。この形状の単結晶チップ11においては、楕円線OV1は、長径bの方向が、長辺の延びる方向に一致する。

【0040】図3は本発明の第2の態様に係るSAW素子を示す図である。図3において、単結晶チップ11の一面上に、第1の楕円線OV11及び第2の楕円線OV12を想定する。第1の楕円線OV11は中心が第2の楕円線OV12の中心とほぼ一致し、長径b1及び短径a1が第2の楕円線OV12の長径b2及び短径a2よりも小さくなっている。端子導体131~136は、その中心が、第1の楕円線OV11と第2の楕円線OV12との間の領域内に位置するように、配置されている。

【0041】好ましくは、第1の楕円線OV11は、長

径b1の長さが、単結晶チップ11の長辺長L1の約60%とする。第2の楕円線OV12は、長径b2の長さが単結晶チップ11の長辺長L1の約90%とする。この配置であれば、単結晶チップ11の熱膨張率の異方性の影響を、より確実に小さくし得る。

【0042】図1~図3に示したSAW素子1は、基板2上に搭載して、電子部品化される。セラミック基板2に対するSAW素子1の接合に当たっては、SAW素子1を、電極12及び端子導体131~136を形成した一面が、基板2の一面に対向するように配置する。セラミック基板2の一面(搭載面)には、予め、SAW素子1に備えられた端子導体131~136に対応する位置に、接続導体21を形成しておく。

【0043】次に、SAW素子1上の端子導体131~136を、セラミック基板2上の接続導体21上に、荷重をかけて接触させ、端子導体131~136及び接続導体21を、超音波によって接合する。これにより、図1に図示した電子部品が得られる。

【0044】次に、実施例を挙げて、本発明を更に具体的に説明する。

#### 実施例1

基板2にセラミック多層基板を用いた。セラミック多層基板において、アルミナ、ガラス複合セラミックを絶縁層とし、内導体層を15層とした。基板2は長さ2mm、幅2.5mmの長方形とし、厚みは0.3mmとした。

【0045】基板2の接続導体21は、最下層を銀の焼結導体で形成した。接続導体用銀ペーストを、基板2の一面上にスクリーン印刷した後、焼結前に、その表面をプレスし、平坦化した。銀の焼結導体膜の上に、厚さ5μmのNi層、続いて0.5μmのAu層を、それぞれ、無電解めっきで形成した。

【0046】一方、単結晶チップ11は、長辺長1.4mm、短辺長0.8mm、厚さ0.35mmの四角形状とし、これにAuでなる端子導体131~136を形成した。端子導体131~136は図2に示した楕円配置とした。端子導体131~136の径は、試料A~Hのそれぞれにおいて、接着前で約50μm、接着後は潰れて110μmとなった。

【0047】得られたSAW素子を、基板2に伏せた形で、所定の位置におき、SAW側から9Wの超音波を0.6秒間照射し、同時に300gの荷重を印加して、端子導体131~136と基板2の接続導体21との接合を行った。この後、横押し強度を測定するとともに、電子顕微鏡で断面の観察を行った。

【0048】その後、熱衝撃試験を行った。熱衝撃試験は、-40℃の温度で30分間保持し、85℃の温度で30分間保持するサイクルを1サイクルとして、100サイクルまで行った。熱衝撃試験の評価に当たっては、挿入損失の測定を行い、初期に2dB程度であったもの



が、5 dB以上となったものを不合格とし、その個数で判断した。

#### 【0049】比較例1

上記実施例1との対比のために、図11に示すように、単結晶チップ11の上に、端子導体131~136を、長方形の上に配置した従来の試料を用意し、実施例1の\*

\*試料と同様の評価を行った。

【0050】表1に実施例1及び比較例1についての横押し試験による剥離強度及び熱衝撃試験の不合格数を示す。熱衝撃試験の不合格数は、熱衝撃試験に供された100個の試料中の個数である。

表1

	剥離強度 (gf)	不合格数 (個/100個)
比較例1	520	6
実施例1	530	0

【0051】表1に示すように、比較例1の場合、剥離強度が520 (gf)で、100個中の不合格数が6個となったが、本発明に係る実施例1の試料では、剥離強度が530 (gf)で、100個中の不合格数が0個となり、剥離強度及び耐熱衝撃特性の何れにおいても、比較例1よりも優れた結果が得られた。

【0052】次に、第2の態様に係る試料についての実験を行った。まず、単結晶チップ11は、長辺長1.4 mm、短辺長0.8 mm、厚さ0.35 mmの四角形状とし、これにAuでなる端子導体131~136を形成した。このとき、端子導体131~136の位置を適宜変化させた試料A~Hを、図3~図10に示す。端子導体131~136の径は、試料A~Hのそれぞれにおいて、接着前で約50  $\mu$ m、接着後は潰れて110  $\mu$ mとなった。

※【0053】次に、試料A~Hのそれぞれについて、基板2に伏せた形で、所定の位置におき、SAW素子側から9 Wの超音波を0.6秒間照射し、同時に300 gの荷重を印加して、端子導体131~136と基板2の接続導体21との接合を行った。この後、各試料A~Hの横押し強度を測定するとともに、電子顕微鏡で断面の観察を行った。

【0054】その後、熱衝撃試験を行った。熱衝撃試験は、-40℃の温度で30分間保持し、85℃の温度で30分間保持するサイクルを1サイクルとして、100サイクルまで行った。熱衝撃試験の評価に当たっては、挿入損失の測定を行い、初期に2 dB程度であったものが、5 dB以上となったものを不合格とし、その個数で判断した。表2にその結果を示す。

※

表2

試料	剥離強度 (gf)	不合格数 (個/100個)
A	540	0
B	480	1
C	480	1
D	440	7
E	530	0
F	500	18
G	400	2
H	500	0

【0055】表2に示すように、端子導体131~136が第1の楕円線OV11と第2の楕円線OV12の間の領域に入っている試料A~C、E、G、Hは良好な特性を示しているが、これを外れる試料D、Fは表2に示すように、熱衝撃特性の劣化による不合格数が著しく増大した。

#### 【0056】

【発明の効果】以上述べたように、本発明によれば、単結晶チップの熱膨張率の異方性による影響を極力小さくして、耐熱衝撃特性及び信頼性を向上させたSAW素子及びこのSAW素子を組み込んだ電子部品を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明に係る電子部品の正面図である。

【図2】図1に示した電子部品に含まれるSAW素子を、電極形成面側から見た平面図である。

【図3】本発明の第2の態様に係るSAW素子（試料A）を電極形成面側から見た平面図である。

【図4】本発明の第2の態様に係る別のSAW素子（試料B）を電極形成面側から見た平面図である。

【図5】本発明の第2の態様に係る別のSAW素子（試料C）を電極形成面側から見た平面図である。

【図6】本発明の第2の態様に係るSAW素子と比較されるSAW素子（試料D）を電極形成面側から見た平面



【図 10】本発明の第 2 の態様に係る別の SAW 素子（試料 H）を電極形成面側から見た平面図である。

Figure 1 is a schematic diagram of a specimen C. It consists of a rectangular frame 11 with a central rectangular opening 12. Six circular elements, labeled 131 through 136, are arranged in a ring around the opening. Two vertical lines, labeled DV11 and DV12, pass through the center of the opening. A scale bar labeled 1 is shown at the bottom left.

試料 B

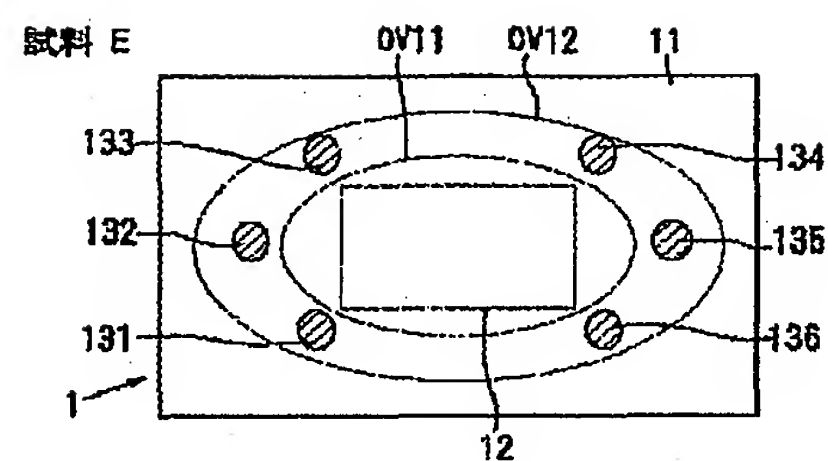
Figure 1 is a schematic diagram of a substrate 1 with a rectangular opening 2. A ring-shaped conductive layer 11 is formed around the opening 2. Six circular vias, labeled OV11 and OV12, are distributed around the ring. Various points on the ring and substrate are labeled 131 through 136.

試料 D

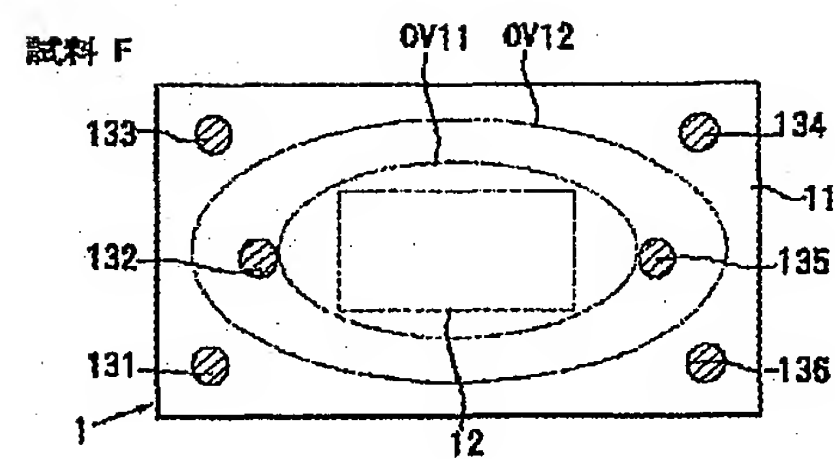
Figure 1 is a schematic diagram of a rectangular substrate 1. In the center of the substrate is a rectangular opening 12. Surrounding the opening is a ring-shaped region 11. Within this ring, there are six circular features labeled 131, 132, 133, 134, 135, and 136, arranged in a ring. Two labels, OV11 and OV12, point to the top edge of the ring-shaped region 11. A dashed line 132 is also shown within the ring.

1	SAW素子
1 1	単結晶チップ
1 2	電極
1 3 1 ~ 1 3 6	端子導体
2	基板
2 1	接続導体

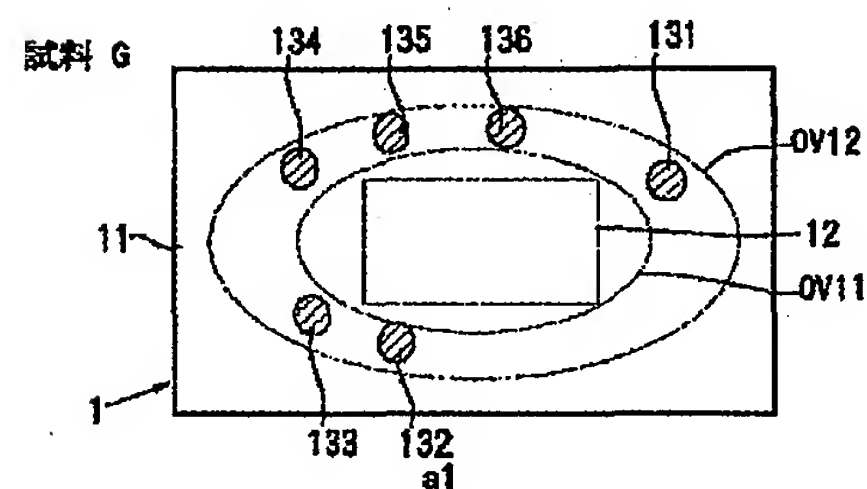
【図 7】



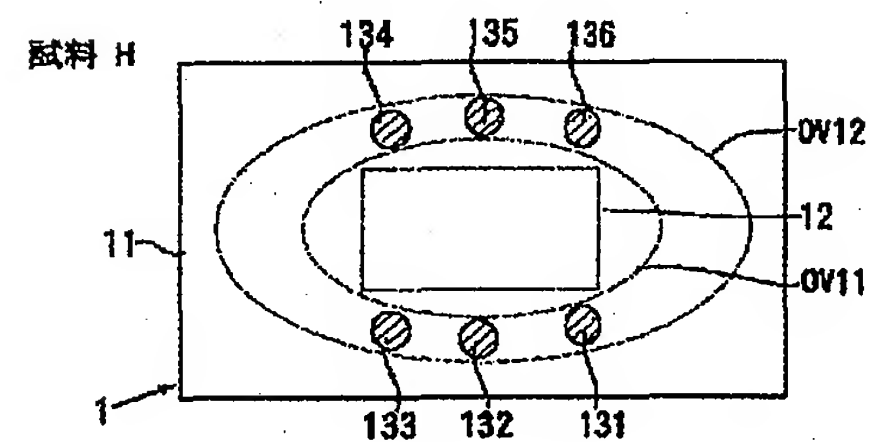
【図 8】



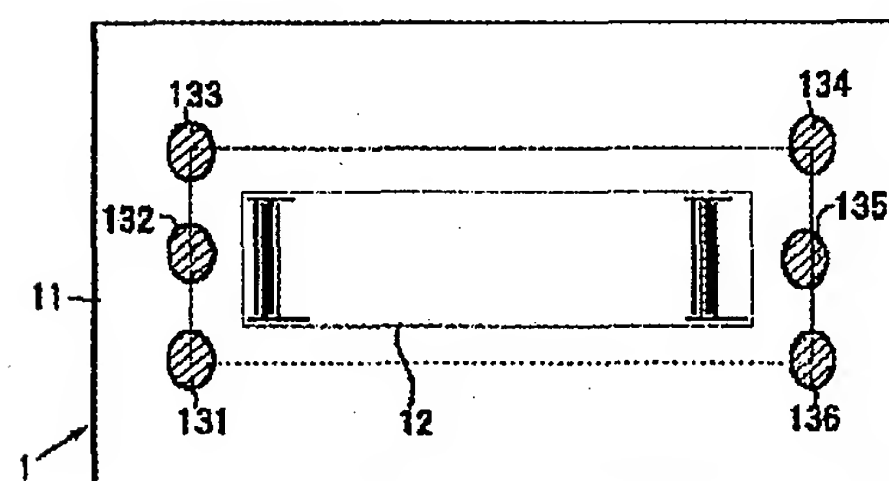
【図 9】



【図 10】



【図 11】



フロントページの続き

(51) Int. Cl.<sup>7</sup>H03H 3/08  
9/145

識別記号

FI  
H01L 41/08  
41/22

テ-マコード (参考)

U  
C  
Z